

KR Utility Model Laid-out Publication No.1992-0013977

TITLE: INVERTER CIRCUIT

Abstract:

The present invention relates to an inverter circuit. The inverter circuit comprises a diode, transistors, a d-flip flop, and a tri-state buffer. The diode full-wave rectifies a current outputted from an inverter and detected by a current transformer. When direct voltage full-wave rectified by the diode is applied to resistances (R1, R2, and R3) connected in series, the transistors detects over-current conditions applied to the resistances (R1, R2, and R3). The d-flip flop controls the transistors to change and maintain an output. The tri-state buffer controls a PWM signal applied to a base driving circuit according to control of the d-flip flop and the transistor. Here, the transistors are capable of being driven by a voltage applied to the resistances (R2 and R3).

(19) 대한민국특허청(KR)

(12) 실용신안공보(Y1)

(51) Int. Cl. 6
H02M 7/00(45) 공고일자 1991년 10월 15일
(11) 공고번호 실 1992-0007540(21) 출원번호 실 1990-0019216
(22) 출원일자 1990년 12월 06일(65) 공개번호 실 1992-0013977
(43) 공개일자 1992년 07월 27일(72) 고안자 서경섭
충청북도 청주시 봉명동 1602
(74) 대리인 신관호
설사관 : 김평설 (책자공보 제 1673호)

(54) 인버터 전류 제한회로

요약

내용 없음.

내포도

도 1

명세서

[고안의 명칭] 인버터 전류 제한회로 [도면의 간단한 설명] 제 1 도는 종래의 회로도,

제 2 도는 본 고안에 따른 인버터 전류 제한 회로도.

* 도면의 주요부분에 대한 부호의 설명 1~8 : 트랜지스터 9 : 플립플롭 10 : PWM신호 11 : 트랜지스터 12~14 : 인버터 15~23 : 트라이스테이트 버퍼 D1~D4 : 다이오드 R1~R5 : 저항 C1 : 콘덴서 [실용신안의 상세한 설명] 본 고안은 인버터의 전류제한에 관한 것으로, 특히 출력전류가 증가하면 일시적으로 인버터 출력전압을 차단하여 과전류 트립(trip)이 되는 것을 방지하도록 한 인버터 전류제한회로에 관한 것이다.

본 고안은 인버터에 있어서 지속적으로 과전류가 흐를 경우는 과전류 트립을 시키고, 일시적으로 한번씩 과전류가 흐를 경우는 인버터 출력전압을 일시적으로 차단하여 출력전류가 다시 내려가면 다시 출력전압을 내보내 일시적인 과전류에 의한 인버터 트립을 방지하도록 한 인버터 전류 제한회로이다.

종래의 인버터회로는 제 1 도에 도시된 바와같이 입력전원(R, S, T)이 각각 다이오드(D5, D6)(D7, D8)(D9, D10)로 구성된 정류회로와 평활콘덴서(C₀)를 거쳐 구동회로(11)에 의해 제어되는 트랜지스터(1, 4)(2, 5)(3, 6)에 인가되고, 트랜지스터(1, 4)(2, 5)(3, 6)는 서로 직렬 연결되어 모터(25)를 제어하는 구성이고, 과전류 차단회로는 모터(25)에 인가되는 전류를 검출하는 변류기(24)가 다이오드(D1~D4)와 콘덴서(C1)를 거쳐 저항(R1)에 연결되고, 저항(R1)은 일단이 접지된 저항(R2)과 에미터접지된 트랜지스터(7)의 베이스에 연결되고, 트랜지스터(7)의 컬렉터가 디플립플롭(9)의 단자(RB)에 연결되고, 디플립플롭(9)의 출력(Q)이 트라이스테이트 버퍼(15~17)의 제어단에 연결되고, PWM신호(10)가 트라이스테이트 버퍼(15~17)를 거쳐 직접 베이스 구동회로(11)에 연결됨과 동시에 인버터(12~14)를 거쳐 연결되고, 베이스 구동회로(11)가 인버터회로의 트랜지스터(1~6)를 제어하는 구성이다.

따라서, 정상상태에서 인버터 출력으로부터 검출된 전류값은 작아서 d점에서의 직류전압값은 낮고, 저항(R2)에 유기되는 전압이 낮아서 트랜지스터(7)는 오프가 되고, 디플립플롭(9)의 출력(Q)은 로우상태(초기에는 Reset 시킴으로)를 유지하여 PWM신호(10)는 베이스구동회로(11)에 전달되어 트랜지스터(1~6)를 구동한다.

한편 과전류 상태에서는 d점에서 직류전압값이 증가하여 저항(R2)에 유기되는 전압이 높아져 트랜지스터(7)를 구동

하고, 디플립플롭(9)의 출력은 하이가 되어 트라이 스테이트 버퍼(15~17)의 출력을 차단하여 베이스 구동회로(11)는 동작하지 않으므로 인버터 출력이 차단된다.

이때 순간적인 과전류 상태 시에도 상기한 바와같이 인버터의 출력을 차단된다.

이와같이 종래의 인버터에 있어서는 일시적인 과부하가 발생하여도 과전류가 출력 매번 과전류를 트립시켜 인버터운전이 연속적으로 이루어질 수 없는 문제점이 있었다.

이에 따라 본 고안은 인버터 운전 시 일시적인 과부하 상태에서는 트립을 시키지 않도록하여 인버터운전을 연속적으로 수생 가능토록 한 것으로써 제2도에 도시된 바와같이 인버터 출력으로 부터 변류기에 의해 검출된 전류는 전파정류하는 다이오드(D1~D4)와 평활용 콘덴서(C1)를 거쳐 저항(R1)에 인가되고, 저항(R1)은 에미터 접지된 트랜지스터(7)의 베이스에 연결됨과 동시에 저항(R2)에 연결되고, 저항(R2)은 일단이 접지된 저항(R3)에 연결됨과 동시에 에미터 접지된 트랜지스터(8)의 베이스에 연결되고, 트랜지스터(8)의 컬렉터는 전원전압(5V)이 인가된 저항(R4)에 연결됨과 동시에 디플립플롭(9)의 단자(RB)에 연결되고, 디플립플롭(9)의 출력(Q)은 트라이 스테이트 버퍼(15~17)의 제어단에 연결되고, PWM신호(10)는 트라이스테이트버퍼(15~17)를 거쳐 다른 트라이 스테이트 버퍼(18, 20, 22)에 연결됨과 동시에 인버터(12~14)를 거쳐 트라이 스테이트버퍼(19, 21, 23)에 연결되고, 트ライ스테이트버퍼(18~23)는 베이스 구동회로(11)를 통해 인버터회로의 트랜지스터(1, 4, 2, 5, 3, 6)를 제어하고, 트랜지스터(7)의 컬렉터는 트라이 스테이트버퍼(18~23)의 제어단에 연결되는 구성이다.

따라서 정상상태시는 인버터 출력에서 변류기에 의해 검출된 전류값이 작아서 b점에서의 직류전압이 낮으므로 저항(R3) 및 (R2+R3)에 유기되는 전압이 낮아서 트랜지스터(7)(8)를 구동할 수 없게되고, 트랜지스터(7)의 컬렉터단자는 하이상태가 되고 디플립플롭(9)의 출력(Q)은 로우상태가 되어 PWM신호(10)는 베이스구동회로(11)에 전달되어 트랜지스터를 구동하게 된다.

만약, 인버터 출력에서 검출된 전류값이 순간적으로 증가하여 과전류상태가 되면 b점에서의 전류전압이 순간적으로 증가하고, 이는 저항(R2+R3)에 유기되어 트랜지스터(7)를 구동하고 트랜지스터(7)의 컬렉터, 즉 c점이 로우가 되어 트라이스테이트버퍼(18~23)의 출력신호를 차단하고 이에 따라 베이스구동회로(11)는 동작하지 않는다. 따라서 저항(R3)에 유기되는 전압은 트랜지스터(8)를 구동시키지 못한다. 이후 과전류가 흐리지 않으면 변류기에는 전류검출이 되지 않아서 b점의 전압이 낮아지고 다시 c점이 하이로 되어 트라이스테이트버퍼(18~23)는 PWM신호(10)를 베이스구동회로(11)전달한다. 만일 인버터 출력전류가 지속적으로 과전류 상태가 되면 b점의 직류전압이 증가하여 과전류 상태가 되면 b점의 직류전압이 증가하여 저항(R3)에 걸리는 전압이 트랜지스터(8)를 구동하게 되어 컬렉터, 즉 a점이 로우가 되고, 디플립플롭(9)의 출력(Q)은 하이가 되어 트라이스테이트버퍼(15~17)는 PWM신호(10)를 차단하다.

이때 디플립플롭(9)의 클리어단자(CLR)를 로우로 리셋(Reset)시켜 주기전에는 출력(Q)이 계속하여 로우상태가 되어 인버터 출력을 차단하게 된다.

이와같이 본 고안에 따른 인버터 전류제한회로는 순간적인 과전류 상태에서는 트립이 되는 것을 방지하여 연속적으로 인버터 구동이 가능한 효과를 갖는다.

(57) 청구항 별첨

청구항1

인버터의 출력으로 부터 변류기에 의해 검출된 전류를 전파정류하는 다이오드(D1-D4)와, 상기 다이오드(D1~D4)에 의해 전파정류된 직류전압이 직렬연결된 저항(R1~R3)에 인가될 때 저항(R2+R3)(R3)에 유기된 전압에 의해 과전류 상태를 검출하는 트랜지스터(7, 8)와, 상기 트랜지스터(8)에 의해 출력(Q)을 변화시켜 유지하는 디플립플롭(9)과, 상기 디플립플롭(9) 및 트랜지스터(7)에 의해 제어되어 베이스구동회로(11)에 인가되는 PWM신호(10)를 제한하는 트라이스테이트버퍼(15~17)(18~23)를 포함하여 구성된 것을 특징으로 하는 인버터 전류제한회로.

청구항2

제1항에 있어서, 트랜지스터(7)는 순간적인 과전류 상태시에도 저항(R2+R3)에 유기된 전압에 의해 동작가능하도록 구성된 것을 특징으로하는 인버터 전류제한 회로.

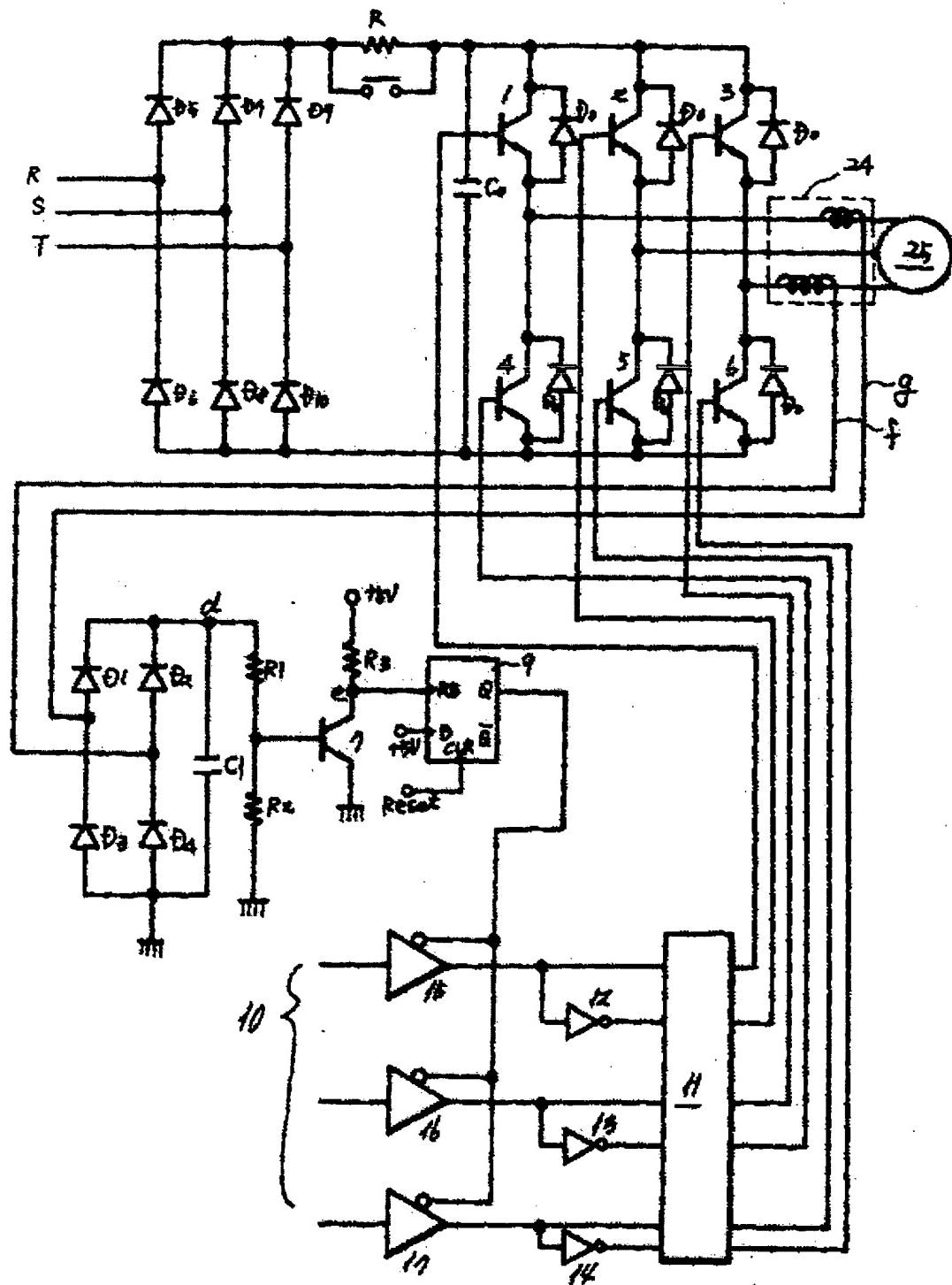


FIG 2

